

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-19934

(43)公開日 平成10年(1998)1月23日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 1/073			G 0 1 R 1/073	F
H 0 1 L 21/66			H 0 1 L 21/66	B

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21)出願番号 特願平8-177754

(22)出願日 平成8年(1996)7月8日

(71)出願人 000003296

電気化学工業株式会社

東京都千代田区有楽町1丁目4番1号

(72)発明者 中野 辰夫

東京都町田市旭町3丁目5番1号 電気化学工業株式会社総合研究所内

(72)発明者 加藤 和男

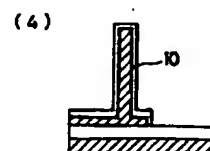
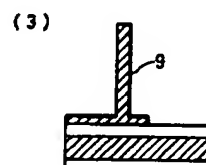
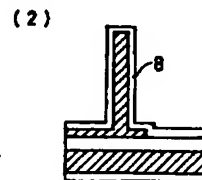
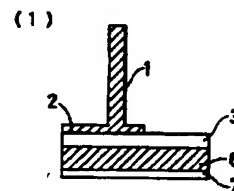
東京都町田市旭町3丁目5番1号 電気化学工業株式会社総合研究所内

(54)【発明の名称】 回路基板、その製造方法、及びそれを用いたプローブカード

(57)【要約】 (修正有)

【課題】 大きなオーバードライブ量にも耐え得るプローブピンを有する信頼性の高いプローブカードとそれを用いる回路基板とを安定して提供する。

【解決手段】 基板上に載置された回路上に針状単結晶を設け、少なくとも前記針状単結晶表面に導電層を有する回路基板であって、前記針状単結晶と導電層とがシリサイドを介して接合されていることを特徴とする回路基板であり、この回路基板を用いたプローブカードである。また、前記回路基板の製造にあたり、シリサイド形成金属を蒸着し、加熱してシリサイドを形成し、導電層を形成することを特徴とする回路基板製造方法である。



【特許請求の範囲】

【請求項1】 基板上に載置された回路上に針状単結晶を設け、少なくとも前記針状単結晶表面に導電層を有する回路基板であって、前記針状単結晶と導電層とがシリサイドを介して接合されていることを特徴とする回路基板。

【請求項2】 前記回路と導電層とがシリサイドを介して接合されていることを特徴とする請求項1記載の回路基板。

【請求項3】 シリサイドがパラジウムシリサイド、またはニッケルシリサイドであることを特徴とする請求項1、又は請求項2記載の回路基板。

【請求項4】 単結晶基板上の単結晶回路と該単結晶回路上の針状単結晶との表面に導電層を設けてなる回路基板製造方法であって、(1) 弗酸を含む水溶液で洗浄し、(2) シリサイド形成金属を蒸着し、(3) 加熱してシリサイドを形成した後に、(4) 導電層を形成することを特徴とする回路基板製造方法。

【請求項5】 前記(3)工程後、更に、(5) 未反応のシリサイド形成金属を除去することを特徴とする請求項4記載の回路基板製造方法。

【請求項6】 (5)工程後、更に、(6) 弗酸水溶液で処理することを特徴とする請求項5記載の回路基板製造方法。

【請求項7】 請求項1、請求項2又は請求項3記載の回路基板を用いたことを特徴とするプローブカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子(C、LSI、VLSIなど)の電気的な導通試験や動作試験、不良検出などを行うプローブ装置用のプローブカードとそれに用いる回路基板、及び回路基板製造方法に関する。

【0002】

【従来の技術】半導体素子の電気的な導通試験や動作試験、不良検出などに用いられているプローブカードが公知であるが、前記プローブカードの半導体素子の評価用電極部に接触する部分のプローブピンは、従来、タングステン線の先端を”くの字”に曲げたものが用いられてきた。しかし、この方式のプローブカードでは、プローブピンの個々について位置固定する必要がある等の理由で、急速な半導体の微細化に追従できなくなっている。

【0003】そこで、基板上に垂直に微細ピンを植え付けた垂直ピン型のプローブカードが、例えば、シリコン基板上の所定の位置に単結晶をVLS(Vapor-Liquid-Solid)法で作製し、この単結晶をプローブピンに適用する方法に基づいて提案されている(特開平5-198636号公報、特開平5-2181

【0004】このうち、SOI(Silicon-On-Insulator)ウエハ上に、外部引出し配線パターンと前記配線パターン上の所定位置にVLS法で単結晶をピン状に成長させたもの(以下VLS成長回路基板という)は、プローブカードの回路基板として、多くの点で優れた特性を有していて、注目を浴びている。

【0005】前記単結晶をプローブピンとして使用するためには、電気的に導電性である必要があり、外部引出し配線部を含めた導電化処理が必要である。一方、VLS成長回路基板は、例えば、SOIウエハを用いた場合には、外部引出し配線がSiO₂層上にSiで形成され、更に、前記Si配線上の所定の位置からSi単結晶のプローブピンが概ね垂直に成長している構造を有している。従って、導電化処理は、メタライズにより導電化処理するのが一般的であるが、外部引出し配線部については、SiO₂とSiとを選択的にメタライズする必要がある。即ち、SiO₂はメタライズせずに、Siだけをメタライズする必要がある。然るに、両者が共にメタライズされては、配線としての意味を失うからである。

【0006】従来、VLS成長回路基板のメタライズは、弗酸水溶液で酸化膜を除去し、Si表面にNiを無電解メッキ後、電気抵抗の小さなAuを電解メッキする方法が知られている(特開平8-105915号公報参照)。しかしながら、この方法では、Niの無電解メッキの触媒付与工程において、一般的な方法の塩化スズ水溶液で処理後に塩化パラジウム水溶液で処理する方法を使用すると、前記したSiO₂とSiとを選択的に無電解メッキすることができないという問題がある。

【0007】上記問題解決のために、弗酸水溶液で酸化膜を除去し、硝酸と弗酸との混合水溶液で表面を粗化し、塩化パラジウム水溶液で処理する方法が開発され、SiO₂とSiの選択無電解メッキが可能となった。しかし、前記の粗化工程に原因して、メタライズして得られるプローブピンの許容できる座屈変位量が著しく低下してしまうという問題が発生した。

【0008】座屈変位(以下オーバードライブと記す)は、垂直にプローブピンが構築されている回路基板を組み込んだプローブカードを用いて半導体素子をプロービングする操作において、回路基板の全プローブピンを半導体素子の電極部など被検査位置へ接触させるため、また接触抵抗を低減させるためにプローブピンを若干加圧しなければならず、この許容量が大きいことはプローブピンの重要な特性である。即ち、プロービング操作において、プローブピンは座屈変形するが、半導体素子電極部の高さ精度、ピンの長さ精度、プローブカードおよび装置へのカード取り付け精度、装置そのものの精度などにより、全プローブピンの先端が半導体素子電極部へ一様に接触するためには大きく座屈変位することが必要である。従って、プローブピンの許容座屈変位量(以下許容

グ操作時に接触抵抗の増大や酷い場合にはプローブピンが折れてしまうという重大な問題が生じてくる。

【0009】

【発明が解決しようとする課題】本発明らは、上記の問題解決を図るためにいろいろ検討を重ねた結果、単結晶表面にシリサイドを介して導電層を設けた構造のプローブピンが、前記導電層を設ける処理においても単結晶の強度を低下させず、許容オーバードライブ量が大きいプローブピンを得ることができるという知見を得て、本発明に至ったものである。

【0010】本発明の第1の目的は、大きなオーバードライブ量にも耐え得るプローブピンを有する回路基板を提供することであり、第2の目的は前記回路基板を安定して供給する回路基板の製造方法を提供することであり、更に第3の目的は前記回路基板を用いた半導体検査用のプローブカードを提供することにある。

【0011】

【課題を解決するための手段】本発明は、基板上に載置された回路上に針状単結晶を設け、少なくとも前記針状単結晶表面に導電層を有する回路基板であって、前記針状単結晶と導電層とがシリサイドを介して接合されていることを特徴とする回路基板であり、好ましくは、前記単結晶回路と導電層とがシリサイドを介して接合されていることを特徴とする前記回路基板であり、シリサイドがパラジウムシリサイド、またはニッケルシリサイドであることを特徴とする前記回路基板である。

【0012】又、本発明は、単結晶基板上の単結晶回路と該単結晶回路上の針状単結晶との表面に導電層を設けてなる回路基板製造方法であって、(1) 弗酸を含む水溶液で洗浄し、(2) シリサイド形成金属を蒸着し、

(3) 加熱してシリサイドを形成した後に、(4) 導電層を形成することを特徴とする回路基板の製造方法であり、好ましくは、前記(3)工程後、更に、(5) 未反応のシリサイド形成金属を除去することを特徴とする前記回路基板製造方法であり、更に好ましくは、(5)工程後、更に、(6) 弗酸水溶液で処理することを特徴とする前記回路基板製造方法である。更に、本発明は、前記回路基板を用いたことを特徴とする半導体検査用のプローブカードである。

【0013】

【発明の実施の形態】本発明における回路基板は、例えば、SOIウエハを用いて、SiO₂からなる絶縁層上にSiからなる単結晶回路を形成し、前記単結晶回路上に針状のSi単結晶をVLS成長させ、前記単結晶回路と前記針状単結晶との表面に導電層を設けた回路基板というが、これに限定されるものではなく、前記構造を有する回路基板ならばどのようなものであっても良い。

【0014】本発明の回路基板は、前記の針状単結晶と導電層とがシリサイドを介して接合されていることを特徴

い出した知見であり、そして、この点こそが、シリサイドを介することによって針状単結晶からプローブピンを形成させる工程における種々の処理に因る針状単結晶の強度低下を防止することができ、許容オーバードライブ量を大きくするという本発明の目的を達成する根拠なのである。尚、当然のことながら、単結晶回路もシリサイドを介して導電層と接合されていても構わない。然るに、本発明の目的を達する上で何等障害とならないし、むしろ単結晶回路と針状単結晶との接合強度、前記単結晶回路の上と前記針状単結晶の上とに存在する導電層の電気的接続をより強固とすることが期待されるので、好ましい。

【0015】本発明でのシリサイドとは、後述する回路基板製造方法で詳しく述べるように、針状単結晶と単結晶回路部分と絶縁層部分とを選択的に無電解メッキする際に、弗酸、硝酸或いはこれらの混酸等を用いて表面処理を行うが、これらの表面処理によって針状単結晶部分が強度低下を生じなければ、どのようなシリサイドでも用いることができ、例えば、パラジウムシリサイド、ニッケルシリサイド、クロムシリサイド、コバルトシリサイド等があげられる。これらのうち、パラジウムシリサイド、ニッケルシリサイドは、それぞれパラジウム、ニッケルを用いて低温処理で電気抵抗の小さなシリサイドを形成すること、更に、パラジウム、ニッケルはエッチング等により選択的に各々のシリサイドから除去でき、針状単結晶並びに単結晶回路表面にシリサイドを純度高く残すことができ、導電層を接合する際に好都合であるという理由から、好ましい。

【0016】以下、本発明の回路基板製造法について、SOIウエハを用いた回路基板製造法を例に説明するが、これに限定されるものではない。即ち、本発明に用いるVLS成長回路基板はいずれの方法で製造してもよいが、VLS法で位置を制御して多数本の針状単結晶を成長させた回路基板が半導体の多ピン化に対応できることや位置制御性が容易であることなどから好ましい方法である。いわゆるSOIウエハは、薄膜Si単結晶層、酸化膜SiO₂層、Si単結晶層、酸化膜SiO₂層の多層構造を有するもので、酸化膜を形成した2枚のウエハを熱融着させ、一方のウエハを研磨などで薄膜化したものである。このSOIウエハの薄膜Si単結晶層をホトリソグラフィ法により単結晶回路を作成し、更に前記単結晶回路上の定の位置に金や白金のバンプを設け、金や白金などの融点以上に加熱し、例えば4塩化珪素と水素などのガスを用いて珪素を供給し、前記の金や白金の位置にシリコンの針状単結晶をピン状にVLS成長させる。次いで、研磨により針状単結晶長さを揃え、前記針状単結晶及び単結晶回路表面を導電化することで半導体用プローブカードに用いられる回路基板を得ることができる。

回路表面に導電膜選択導を接合する際に、少なくとも針状単結晶表面にシリサイドを形成することを特徴としている。即ち、本発明の回路基板製造法は、(1) 弗酸を含む水溶液で洗浄し、(2) シリサイド形成用金属を蒸着し、(3) 加熱してシリサイドを形成した後に、

(4) 導電層を形成することを特徴とする回路基板製造方法であり、この工程を順次経ることにより本発明の目的である許容オーバードライブ量の大きなプローブピンを有する回路基板を得ることができる。

【0018】まず、研磨などでピン長さを揃えたVLS成長回路基板は弗酸系水溶液で洗浄してSi表面の酸化膜を除去する。酸化膜除去には弗酸水溶液による洗浄、弗酸と弗化アンモニウムとの混合水溶液による洗浄、弗酸水溶液で洗浄後に弗化アンモニウム水溶液で洗浄する方法等があるが、洗浄、乾燥後の耐自然酸化性に良好な弗酸と弗化アンモニウムとの混合液または弗酸水溶液洗浄後に弗化アンモニウム水溶液で洗浄する方法が作業時間が取れることから好ましい。この操作において、弗酸単独使用の場合の弗酸濃度は5~6重量%が最良である。

【0019】本発明に用いるシリサイド形成用金属は、前述したとおりのシリサイドを形成する金属であれば良く、例えば、パラジウム、ニッケル、クロム、コバルト等が挙げられる。このうち、低温処理で低抵抗シリサイドを形成し、エッチングなどで未反応金属を選択的に除去できるパラジウム、ニッケルが、特に、好ましい金属である。

【0020】次いで、スパッターや真空蒸着でシリサイド形成用金属を針状単結晶表面或いは針状単結晶及び単結晶回路の表面に蒸着させる。しかしながら、VLS成長回路基板は、針状単結晶が単結晶回路表面に概ね垂直に群生している構造であるから、前記VLS成長回路基板をシリサイド形成用金属発生源に対面してセットした場合は針状単結晶側面の蒸着量が極端に少なく、形成されるシリサイドの分布が不均一となり、極端な場合はシリサイドのない部分すら発生することがある。そこで、前記金属発生源に対してVLS成長回路基板を傾斜させセットすると金属発生源に対面する針状単結晶側面が蒸着されるが、該針状単結晶側面の前記金属発生源と反対側では蒸着量が極端に少なくなる問題が発生する。この問題を解決するには傾斜と回転とを組合せて蒸着することで、これらの問題を解決できる。傾斜の程度は、金属発生源に対して平行もしくは垂直でない限り有効であるが、VLS成長回路基板上の単結晶回路表面と針状単結晶側面との蒸着量がほぼ同量になるようにすることが好ましく、本発明者らの検討によれば、約30°~約60°の範囲が好適である。とりわけ、45°付近が最も好ましいが本発明はこの傾斜角度を限定するものではない。更に、前記回転は蒸着時間中に1回転以上すれ

離する場合もあるので、1~100rpmが好ましい。

【0021】シリサイド形成用金属を蒸着後、シリサイド形成するためには、前記シリサイド形成用金属の蒸着中に加熱することでシリサイド化反応を生起させてもよいが、蒸着速度や針状単結晶の長さがばらついていること等の理由でVLS成長回路基板の下側(基板側)から供給される熱伝達に差が生じるために制御しにくいので、一般的には、蒸着後に窒素、水素、アルゴン等不活性ガスや真空の不活性雰囲気中で加熱処理する方法が制御しやすく好ましいので選択される。シリサイド化の温度、時間条件については、シリサイド形成用金属の種類により異なるがパラジウムでは100℃以上、ニッケルでは200℃以上、クロムでは450℃以上、コバルトでは350℃以上でシリサイドが形成される。しかし、あまりにも高温で処理すると形成されるシリサイド層と針状単結晶との熱応力が増大するため針状単結晶の強度が低下することがあるので、可能な限り低温とすることが好ましく、パラジウムでは100~300℃、ニッケルでは200~500℃が選択される。この温度未満の範囲では、シリサイド化に要する時間が極端に長くなり、好ましくない。

【0022】次いで、シリサイド形成金属としてニッケルやパラジウム、更にはコバルトを用いた場合も同様であるが、希硝酸で洗浄することで未反応の金属ニッケルやパラジウムを溶解除去して、シリコンで構成されている針状単結晶並びに単結晶回路表面にはシリサイドのみ残留させることができる。SiO₂上にSiで外部引出し配線をもち配線上にSi単結晶ピンが立っている構造であるVLS成長回路基板では、配線スペースに相当する部分、即ち、SiO₂部分はシリサイド化しないから、希硝酸で処理すると金属はエッチングされ、シリサイド表面でエッチングは停止する。従って、Siで形成されている配線及びピンは全てシリサイド表面となり、導電性となるので低抵抗金属、例えばAuなどを配線及びピンのみに電解メッキできるのである。シリサイドは導電性であるため、直接Auなどの低抵抗金属を電解メッキすることができるという特徴を有するので、上述のシリサイド形成操作後に、未反応のシリサイド形成用金属を除去することは、直接Auなどの低抵抗金属を電解メッキすることができるので好ましいものである。

【0023】本発明者らは、更に、シリサイド形成後に未反応のシリサイド形成用金属を除去した後、更に希弗酸で洗浄して、しかる後無電解ニッケルメッキすることで、高温使用下での導電膜の針状単結晶並びに単結晶回路表面への密着性が一層向上できることを見だし、本発明に至ったものである。この理由は明らかではないが、シリサイド表面に拡散したSiが酸化して微小なSiO₂粒となり密着性を低下させていると考えられることと、希弗酸洗浄でシリサイド表面が活性化され無電解

イド表面とNi-P間でなんらかの結合が生じ、密着性が增大していると考えられる。また、無電解ニッケルメッキの皮膜形成速度をUPするために、希弗酸に塩化パラジウムを溶解した触媒液を併用しても何等さしつかえない。上記処理に用いる弗酸の濃度については、シリサイドが徐々に弗酸へ溶解する性質があることから0.1～5重量%が作業上好ましい。

【0024】

【実施例】以下、実施例により本発明を更に詳細に説明する。

【実施例1】

(1) VLS成長回路基板の製造

断面がSiO₂-Si-SiO₂-Si構造のSOIウエハーの表面のSi面にフォトグラフ法にてSiによる外部引出し配線パターンと配線パターン上に被検査半導体の電極配置に対応した300個の金バンプを形成した。更に、このSOIウエハーをハーフエッチングしてSi配線上にSi台地があり、台地上に金バンプが載っている形状とした。次に、前記SOIウエハーを反応管中で4塩化珪素ガスと水素ガスを反応させ金バンプ位置にシリ

コン単結晶を成長させた。針状単結晶は太さ約18μm、長さ2000μm～2200μm、ピン数300本であった。次いで、ピン先端研磨により長さ1600μmに揃えた。このVLS成長回路基板のピン20本を試験したところ、破壊までのオーバードライブ量、即ち許容オーバードライブ量は320μmであった。

【0025】(2) シリサイド形成用金属の蒸着

前記操作で前記VLS成長回路基板を用意し、これを市販パフアード弗酸（弗酸と弗化アンモニウムとの混合水溶液）で2分間洗浄して、水洗、乾燥した。次いで、

10

20

30

00オングストローム真空蒸着した。

【0026】(3) シリサイドの形成

Niを蒸着したVLS成長回路基板を真空装置から取り出し、窒素置換した加熱容器中で235℃で1時間加熱処理した。

【0027】(5) 未反応Niの除去

シリサイド形成したVLS成長回路基板を17重量%の硝酸水溶液で5分間洗浄すると、未反応の金属Niが除去され、Si配線部と針状単結晶との表面は金属様光沢を示しニッケルシリサイドの純度の高い表面となり、その表面抵抗は10Ωであった。

【0028】(6及び4) 弗酸処理及び導電層の接合

引き続いて、1重量%の弗酸水溶液で3秒洗浄後、電解ストライクAuメッキ、次いで電解Auメッキで1.5μmのAu皮膜を形成して回路基板を作成した。上記操作で作製した回路基板のプロープピン20本について許容オーバードライブ量を評価したところ、破壊までのオーバードライブ量は282μmであり、良好なオーバードライブ量を示した。残りの260本のプロープピンでオーバードライブ量40μmによりブローピング試験を実施した結果、100万回後に於いてもピン折れはなく、良好な結果であった。

【0029】【実施例2】実施例1の(2) 蒸着金属をPdに変え、(3)の加熱温度を125℃に変え

(5) 未反応のPdの除去に、8分間洗浄したこと、以外は実施例1と同じ操作により回路基板を作成し、実施例1と同様に評価した。この結果を表1に示した。尚、シリサイド形成後の針状単結晶の表面抵抗は32Ωであった

【0030】

【表1】

回路基板	オーバードライブ量維持率(%) 注1	ブローピング試験によるピン折れ 注2
実施例1	88%	なし/260本
実施例2	86%	なし/260本
実施例3	87%	なし/260本
比較例1	35%	25本/260本

注1. オーバードライブ量維持率(%) = (B) / (A) × 100

ただし、(A)はVLS成長回路基板の許容オーバードライブ量、
(B)は回路基板の許容オーバードライブ量

注2. オーバードライブ量40μmで、100万回ブローピング試験を実施後、

【0031】〔実施例3〕実施例1の(6及び4)において、1重量%の弗酸水溶液で3秒洗浄後に、酸性Ni-Pメッキ液(上村工業(株)社製ニムデンSX、PH=4.3)浴温度75℃の攪拌浴中に3分間漬浸すること以外は、実施例1と同一条件で回路基板を作製した。上記操作では、Ni-Pの析出を示す極めて淡い茶褐色を呈した。この結果も表1に示した。

【0032】〔比較例1〕実施例1の(1)で製造したVLS成長回路基板を5重量%弗酸水溶液で酸化膜を除去して純水で洗浄後、35重量%硝酸：50重量%弗酸=70ml：1mlの比率で混合した粗化用水溶液に10秒間漬浸して、純水で洗浄後に塩化パラジウム水溶液に2分間漬浸し、純水で洗浄後にアンモニア水でPH=8に調整したNi-Pメッキ液(日本カニゼン社製EPK)浴温度80℃の攪拌浴中に2分間漬浸して、Ni-Pメッキ皮膜を形成させた。次いで、電解Auストライクメッキ後、電解Auメッキで1.5μmのAu皮膜を形成して回路基板作製した。実施例1と同様に評価した。この結果を表1に示した。

【0033】〔実施例4〕実施例1と同一の操作により作製した回路基板を用い、これをガラスエポキシ製のプローブカード用配線板に搭載し、フレキシブル配線フィルムを用いて結線してプローブカードを作製した。このプローブカードを用い、半導体チップの検査に供したところ、何等問題なく使用することができた。

【0034】

【発明効果】本発明の回路基板は、許容オーバードライブ量が大きく、オーバードライブが大きな条件下でもプロービングしてもプローブピンの破損等のトラブルなく用いることができる利点があり、更に、本発明の回路基板は、プローブピンの位置精度が高く、また主要構成部が半導体と同じ材質のSi単結晶でできているので熱膨張率を初めとする諸特性が半導体素子と一致し、実用下

での接触が良好であるという特徴があり、半導体計測用プローブカードに好適である。

【0035】本発明の回路基板製造方法は、許容オーバードライブ量の大きなプローブピンを有する半導体計測用回路基板を、容易に、従って安定して提供でき、有用である。更に、本発明のプローブカードは、上述のとおり、回路基板の有する許容オーバードライブ量が多い等の特徴を反映して、長い期間にわたり、高い信頼性をもって半導体計測用途に適用可能である。

【図面の簡単な説明】

【図1】 本発明の回路基板の一例を示す斜視図

【図2】 オーバードライブ量の説明図

【図3】 本発明の回路基板製造方法の一例を示す模式図

(1) SOIウエハを用いたVLS成長回路基板の前処理後の状態を示す図

(2) シリサイド形成用金属を蒸着した後の状態を示す図

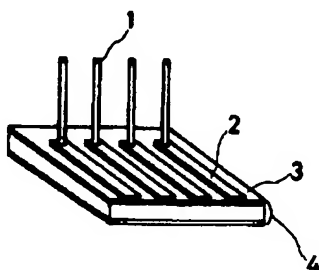
(3) シリサイド形成後、未反応のシリサイド形成用金属を除去した状態を示す図

(4) シリサイド表面に低電気抵抗の金属を電解メッキした後の状態を示す図

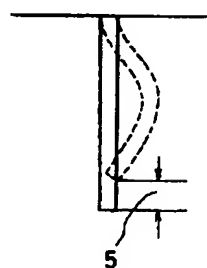
【符号の説明】

- 1 プローブピン(針状単結晶)
- 2 外部引き出し配線(単結晶回路)
- 3 絶縁層
- 4 ウエハ
- 5 座屈変位量(オーバードライブ量)
- 6 Si
- 7 SiO₂
- 8 シリサイド形成用金属
- 9 シリサイド
- 10 低電気抵抗金属

【図1】

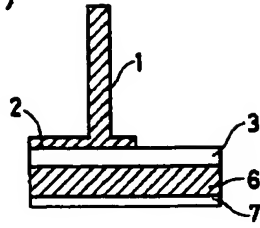


【図2】

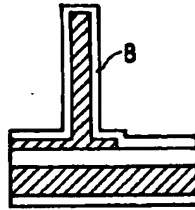


【図3】

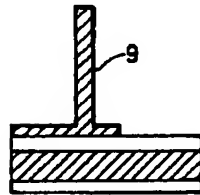
(1)



(2)



(3)



(4)

